

C/O 15824 VS/sei
Appln. No. 09/960,7
Filed 09-24-20
Group 2824

日本国特許庁
CERTIFIED COPY OF JAPAN PATENT OFFICE
PRIORITY DOCUMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2000年 9月27日

出願番号

Application Number:

特願2000-294256

出願人

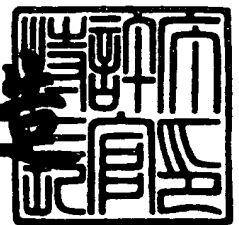
Applicant(s):

キヤノン株式会社

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-309197

【書類名】 特許願

【整理番号】 4266090

【提出日】 平成12年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/02
G11C 11/15

【発明の名称】 磁気抵抗効果を用いた不揮発固体メモリ素子およびその記録再生方法

【請求項の数】 15

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 西村 直樹

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会

社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気抵抗効果を用いた不揮発固体メモリ素子およびその記録再生方法

【特許請求の範囲】

【請求項 1】 基板上に磁化容易軸が膜面垂直方向である第 1 磁性層と第 2 磁性層が積層され該磁性層間に非磁性層が積層された磁気抵抗素子と、

該磁気抵抗素子の前記基板に対向する側に設けられたビット線と、

前記第 1 磁性層または前記第 2 磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線とからなるメモリ素子を前記基板上にマトリックス状に形成したメモリにおいて、隣接するメモリ素子に接続されている前記ビット線と前記書き込み線からの磁界によって前記磁気抵抗素子の磁化状態を変化させることを特徴とするメモリ。

【請求項 2】 前記非磁性層が絶縁体であることを特徴とする請求項 1 に記載のメモリ。

【請求項 3】 前記隣接する 2 つのメモリ素子に接続されているビット線と前記書き込み線に電流を流して、それらより発生する磁界によって前記磁気抵抗素子の磁化状態を変化させることを特徴とする請求項 1 に記載のメモリ。

【請求項 4】 前記書き込み線が、前記ビット線を兼用することを特徴とする請求項 3 に記載のメモリ。

【請求項 5】 前記磁気抵抗素子と電界効果トランジスタのドレイン領域が電氣的に接続されて構成されることを特徴とする請求項 1 に記載のメモリ。

【請求項 6】 前記電界効果トランジスタのソース領域に接地電極が接続されており、前記隣接する 2 つのメモリ素子において前記接地電極が共有されていることを特徴とする請求項 5 に記載のメモリ。

【請求項 7】 前記書き込み線が隣接するメモリ素子において共有されていることを特徴とする請求項 5 に記載のメモリ。

【請求項 8】 前記電界効果トランジスタのソース領域に接続された前記接地電極が、前記書き込み線を兼ねることを特徴とする請求項 5 に記載のメモリ。

【請求項 9】 前記電界効果トランジスタのドレイン領域上に自己整合的に

形成されたドレイン電極の上に、前記磁気抵抗素子が配置され、該ドレイン領域の面積のうち、該ドレイン電極が占める面積が50%以上であることを特徴とする請求項5に記載のメモリ。

【請求項10】 前記第1磁性層及び／または前記第2磁性層が、希土類鉄族合金からなることを特徴とする請求項1に記載のメモリ。

【請求項11】 前記希土類鉄族合金のうち、希土類元素が、Gd、Tb、Dyのうち、少なくとも一種の元素を含み、鉄族元素がFe、Coのうち、少なくとも一種の元素を含むことを特徴とする請求項10に記載のメモリ。

【請求項12】 前記第1磁性層と前記絶縁体からなる非磁性層との間と、前記第2磁性層と前記絶縁体からなる非磁性層との間の少なくともどちらか一方にFe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることを特徴とする請求項10に記載のメモリ。

【請求項13】 基板上に磁化容易軸が膜面垂直方向である第1磁性層と第2磁性層が積層され該磁性層間に非磁性層が積層された磁気抵抗素子と、
該磁気抵抗素子の前記基板に対向する側に設けられたビット線と、
前記磁気抵抗素子の磁化方向を電流によって発生する磁界により変化させる書き込み線と、

電界効果トランジスタとからなり、

前記電界効果トランジスタのドレイン領域の直上に、前記磁気抵抗素子が形成されているメモリ素子を基板上にマトリックス状に形成し前記電界効果トランジスタのソース領域に接地電極が接続され、該設置電極と前記書き込み線が隣接するメモリ素子において共有され、

隣接のメモリ素子に接続されている前記ビット線に電流を流して発生する磁界によって前記磁気抵抗素子の磁化状態を変化させることを特徴とするメモリ。

【請求項14】 請求項13に記載されているメモリを用いて、前記磁気抵抗素子の抵抗の絶対値を検出して記録された情報を再生することを特徴とするメモリの記録再生方法。

【請求項15】 請求項13に記載されているメモリを用いて、前記隣接のメモリ素子のビット線に電流を流すことによって、前記磁気抵抗素子の第1磁性

層の磁化方向を決定して情報を記録し、前記書き込み線および前記隣接のメモリ素子のビット線に電流を流すことによって、前記磁気抵抗素子の第2磁性層の磁化方向を反転させて、そのときに生じる抵抗変化を検出して、記録された情報を再生することを特徴とするメモリの記録再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗膜を用いた不揮発の固体メモリに関するものである。

【0002】

【従来の技術】

磁性薄膜メモリ（MRAM）は半導体メモリと同じく稼働部のない固体メモリであるが、電源が断たれても情報を失わない、繰り返し書換回数が無限回、放射線が入射しても記録内容が消失する危険性がない等、半導体メモリと比較して有利な点がある。特に近年、スピントネル効果（TMR）を利用した磁性薄膜メモリは、従来から提案されている異方性磁気抵抗効果、スピン散乱型の巨大磁気抵抗効果（GMR）を用いた磁性薄膜メモリと比較して大きな出力が得られるため注目されている。

【0003】

たとえば、アメリカ合衆国特許、番号5940319では、図11に示したような、半導体基板1上に、ソース領域2、ドレイン領域3、ゲート電極4が形成されたトランジスタと膜面内方向に磁化した磁気抵抗素子9、書きこみ線10からなるメモリセルからなるデバイスの構造が開示されている。このメモリセルでは、半導体基板1に形成されたドレイン領域3上に、プラグ電極5、下部電極14を介して、スピントネル効果をもつ磁気抵抗膜9が接続され、さらにビット線6が接続されている。

【0004】

このメモリセルにおいては、磁気抵抗膜9に記録する際には、その下部の書きこみ線10とビット線6に電流を流して合成磁界を印加し、多数のメモリセルのうち、特定のメモリセルを選択して行う。ここで用いられている磁気抵抗膜は、磁

性膜に面内磁化膜を用いているため、メモリセルの面積を小さくするに伴って、磁性層内部で生じる反磁界（自己減磁界）が無視できなくなり、記録保持する磁性層の磁化方向が一方向に定まらず不安定となってしまう。従って、上記構成の磁性薄膜メモリは、ビットセルを微細化するとともに安定に情報の保存ができない。このため、メモリ素子を小さくすることが難しい。これは、メモリ素子を $1\mu\text{m}$ 以下のサイズにするとときに特に顕著になる。このため、面内磁化膜においては、磁化容易軸方向の長さが幅の少なくとも2倍以上、実際には4倍程度に設定することが必要となる。図12は、図11の構成のメモリセルを上面から見た場合の構造を示したものである。このため、図12に示したように、セルの大きさが最低でも横幅 $3F$ （ F は最小加工寸法）、書き込み線方向が $3F\sim 5F$ 必要となり、位置あわせマージンなどを全く無視した場合でもセル面積が $9\times$ （ F の自乗） $\sim 15\times$ （ F の自乗）と大きくなる。図24ではソース電極が隣接セル間で共有化されている場合であるが、共有化しない場合にはセルの横幅は $4F$ となりセル面積は $12\times$ （ F の自乗）以上と、さらにセル面積は大きくなる。したがって、高集積化が不可能であるといった欠点を有していた。

【0005】

そこで、本発明者は、特開平11-213650において、図13に示すような、垂直方向に磁化した磁性膜を用いた磁気抵抗素子（磁性薄膜素子）と電界効果トランジスタからなるメモリセルを開示した。垂直磁化膜は、サイズを小さくしても、上記のような問題が生じないため、高集積化が達成できる。図13では、磁気抵抗素子の両側に書き込み線を設けて、互いに逆向きの電流を流して、2本の書き込み線からの垂直方向の合成磁界を印加して、磁気抵抗膜の磁化状態を変化させ、記録を行う。書き込み線は、1本でも原理的に動作するが、1本の書き込み線に流せる電流は限られているため、垂直方向に磁界を印加できる書き込み線の本数が多いほど、大きな磁界を磁気抵抗素子の印加することができるため、磁性膜に保磁力の大きな物質を用いることが可能となり記録保存性の高いメモリを実現することができる。

【0006】

【発明が解決しようとする課題】

しかしながら、この図13の構成では、これらの書き込み線を配置するために、作成プロセスが複雑化する、また導電線の本数が多くなるなどの理由によってメモリセル面積が増大するという問題点があった。

【 0 0 0 7 】

【課題を解決するための手段】

本発明者は、上記課題に鑑み、磁気抵抗素子の抵抗値を検出するために磁気抵抗素子の上部に設けたビット線のうち、隣接のメモリ素子に接続されているビット線が、垂直磁化の磁気抵抗膜においては、磁化方向を決定する書き込み線として機能できることに着目した。本発明はこの隣接ビット線を記録時に使用することにより、書き込み線の本数を増やすことなく、より大きな垂直方向の磁界を磁気抵抗素子に印加できることが可能となり、一定の磁界を印加するために必要な書き込み線の本数を減らすことで、デバイス構造を簡素化し、同時に高い集積度のMRAMを実現することを目的とする。

【 0 0 0 8 】

そして上記目的は以下の構成により達成される。

- (1) 基板上に磁化容易軸が膜面垂直方向である第1磁性層と第2磁性層が積層され該磁性層間に非磁性層が積層された磁気抵抗素子と、
該磁気抵抗素子の前記基板に対向する側に設けられたビット線と、
前記第1磁性層または前記第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線とからなるメモリ素子を前記基板上にマトリックス状に形成したメモリにおいて、隣接するメモリ素子に接続されている前記ビット線からの磁界によって前記磁気抵抗素子の磁化状態を変化させることを特徴とするメモリ。
- (2) 前記非磁性層が絶縁体であることを特徴とする上記(1)に記載のメモリ。
- (3) 前記隣接する2つのメモリ素子に接続されているビット線と前記書き込み線に電流を流して、それらより発生する磁界によって前記磁気抵抗素子の磁化状態を変化させることを特徴とする上記(1)に記載のメモリ。
- (4) 前記書き込み線が、前記ビット線を兼用することを特徴とする上記(3)

）に記載のメモリ。

（５） 前記磁気抵抗素子と電界効果トランジスタのドレイン領域が電氣的に接続されて構成されることを特徴とする上記（１）に記載のメモリ。

（６） 前記電界効果トランジスタのソース領域に接地電極が接続されており、前記隣接する２つのメモリ素子において前記接地電極が共有されていることを特徴とする上記（５）に記載のメモリ。

（７） 前記書き込み線が隣接するメモリ素子において共有されていることを特徴とする上記（５）に記載のメモリ。

（８） 前記電界効果トランジスタのソース領域に接続された前記接地電極が、前記書き込み線を兼ねることを特徴とする上記（５）に記載のメモリ。

（９） 前記電界効果トランジスタのドレイン領域上に自己整合的に形成されたドレイン電極の上に、前記磁気抵抗素子が配置され、該ドレイン領域の面積のうち、該ドレイン電極が占める面積が５０％以上であることを特徴とする上記（５）に記載のメモリ。

（１０） 前記第１磁性層及び／または前記第２磁性層が、希土類鉄族合金からなることを特徴とする上記（１）に記載のメモリ。

（１１） 前記希土類鉄族合金のうち、希土類元素が、Gd、Tb、Dyのうち、少なくとも一種の元素を含み、鉄族元素がFe、Coのうち、少なくとも一種の元素を含むことを特徴とする上記（１０）に記載のメモリ。

（１２） 前記第１磁性層と前記絶縁体からなる非磁性層との間と、前記第２磁性層と前記絶縁体からなる非磁性層との間の少なくともどちらか一方にFe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることを特徴とする上記（１０）に記載のメモリ。

（１３） 基板上に磁化容易軸が膜面垂直方向である第１磁性層と第２磁性層が積層され該磁性層間に非磁性層が積層された磁気抵抗素子と、
該磁気抵抗素子の前記基板に対向する側に設けられたビット線と、
前記磁気抵抗素子の磁化方向を電流によって発生する磁界により変化させる書き込み線と、

電界効果トランジスタとからなり、

前記電界効果トランジスタのドレイン領域の直上に、前記磁気抵抗素子が形成されているメモリ素子を基板上にマトリックス状に形成し前記電界効果トランジスタのソース領域に接地電極が接続され、該設置電極と前記書き込み線が隣接するメモリ素子において共有され、

隣接のメモリ素子に接続されている前記ビット線に電流を流して発生する磁界によって前記磁気抵抗素子の磁化状態を変化させることを特徴とするメモリ。

(14) 上記(13)に記載されているメモリを用いて、前記磁気抵抗素子の抵抗の絶対値を検出して記録された情報を再生することを特徴とするメモリの記録再生方法。

(15) 上記(13)に記載されているメモリを用いて、前記隣接のメモリ素子のビット線に電流を流すことによって、前記磁気抵抗素子の第1磁性層の磁化方向を決定して情報を記録し、前記書き込み線および前記隣接のメモリ素子のビット線に電流を流すことによって、前記磁気抵抗素子の第2磁性層の磁化方向を反転させて、そのときに生じる抵抗変化を検出して、記録された情報を再生することを特徴とするメモリの記録再生方法。

【0009】

【発明の実施の形態】

以下、図面を用いて本発明の実施形態について詳細に説明する。

【0010】

図1は、本発明のメモリの構造を示したものである。記号の無い部分は、基本的に絶縁体である。基板1000上に、第1磁性層、非磁性層、第2磁性層からなる磁気抵抗膜R11～R32があり、それらの上部には、ビット線61～63が設けられている。下部にはプラグ電極6が設けられている。プラグ電極の先には、図示していないが電界効果トランジスタのドレイン電極に接続して、アクティブマトリックス構造とするか、もしくは、図3のように、上部のビット線と直交する様に下部ビット線を設けて単純マトリックス構造にしてもよい。またプラグ電極は必ずしも設ける必要は無い。

【0011】

磁気抵抗膜の近傍には、絶縁膜を介して、書き込み線101、102がビット線と直

交するように設けられており、磁気抵抗膜を構成する第1磁性層、第2磁性層は、膜面垂直方向に磁化している。

【0012】

本発明のメモリに用いる磁気抵抗膜は、第1磁性層と第2磁性層が非磁性層を挟んで積層された構成のものであり、ここでは非磁性層として絶縁体を用いたスピントネル膜構成を呈するものを例にとって説明するが、これに限られるものではない。第1磁性層と第2磁性層は、膜面垂直方向に主たる磁化方向を有する。このような磁性層としては、希土類元素と鉄族元素の合金（RE-TM）が適しており、具体的には、GdFe、GdFeCo、TbFe、TbFeCo、DyFe、DyFeCoなどが良い。また、これら以外に、PtCo、PdCoやCoCrなどを用いても良く、膜面垂直方向に主たる磁化方向をもつものであればこれらに限られるものではない。しかし、希土類鉄族合金が、室温で非晶質を呈し、これにより結晶体を用いた場合にみられるような、粒界ノイズ等が無く電気ノイズが低減できるため、より望ましい。

また、第1磁性層と絶縁層、第2磁性層と絶縁層の間には、抵抗変化率が大きく、第1磁性層もしくは第2磁性層と磁氣的に結合するような磁性層を挟むとより望ましい。このような磁性層の例としては、Fe、Co、FeCoなどが挙げられる。磁氣的な結合としては、交換結合と静磁結合が考えられ、このどちらを用いても良いが、交換結合を利用するのがより望ましい。

【0013】

再生は電流を膜面に対して垂直に流し、トンネル現象によって第1磁性層から第2磁性層へ電子が移動することを利用して行なう。磁性膜中の伝導電子はそのスピンを保ったままトンネルするため、両磁性層の磁化状態によってトンネル確率が変わり、それが電気抵抗の変化となって現れる。したがって、磁気抵抗膜の積層方向の抵抗は、第1磁性層と該第2磁性層の磁化の相対角度によって異なる。より具体的には、平行の場合は抵抗が小さく、反平行の場合は抵抗が大きくなる。また、上向きスピンと下向きスピンの状態密度の差が大きい方がこの抵抗値は大きくなり、より大きな再生信号が得られるため、絶縁膜の上下の磁性層はスピン分極率の高い磁性材料を用いることが望ましい。例えば、フェルミ面における上下スピンの偏極量が大きいFe、Coなどを主成分として選定してなる。

【0014】

第1磁性層及び第2磁性層の膜厚は、2nm以上で50nm以下であることが望ましい。これは磁性層の膜厚が2nm以下となると、サブミクロンにメモリ素子を微細化した際に第1磁性層、第2磁性層の体積が小さくなりそれに応じて各層の垂直磁気異方性エネルギーが低下し、各層の磁化の保持機能が低下してしまうためである。また、より望ましくは5nm以上が良い。また磁性層の膜厚が50nm以上となるとセルの抵抗値が大きくなりすぎる等の問題があるため、50nm以下が望ましい。

【0015】

非磁性層は、スピントネル構造の磁気抵抗膜に場合においては電子がスピンを保持してトンネルするために、絶縁層でなければならない。非磁性膜の全部が絶縁層であっても、その一部が絶縁層であってもよい。絶縁層の例としては非磁性金属膜を酸化させた酸化膜がよく利用される。例えばAl膜の一部を空気中もしくは真空中でプラズマ酸化によって生成された Al_2O_3 層などが例として挙げられる。他に、窒化アルミニウム AlN_x 、酸化シリコン SiO_x 、窒化シリコン SiN_x 、 NiO_x が例として挙げられる。好ましくは、酸化アルミニウム AlO_x がよい。それは、スピントネル構造においては第1磁性層と第2磁性層の伝導電子のエネルギーに、適切なポテンシャルバリアーが存在することが必要であり、 AlO_x はこのバリアーを得ることが容易で、製造プロセスも簡易なためである。

【0016】

また、前記非磁性層は数nm程度の均一な層であって、その絶縁部分の膜厚は0.5nm以上3nm以下であることが望ましい。これは、0.5nm未満である場合、第1磁性層と第2磁性層が電氣的にショートしてしまう可能性があるからであり、3nmを超える場合、電子のトンネル現象が起きにくくなるからである。さらに、望ましくは、1nm以上2.5nm以下であることが望ましい。

【0017】

記録は、第1、2磁性層の近傍に置かれた書き込み線に電流を流し、それによって発生する磁界によって第1磁性層もしくは第2磁性層の磁化を反転させて行

う。電流の方向によって、上向きもしくは下向きの磁界が発生しスピンの向きを上向きもしくは下向きにすることができる。

【0018】

書き込み線は、磁気抵抗膜に垂直に磁界がかかるように、電流を流すことができるようにする。このためには、書き込み線は、膜面と平行に電流が流れるように配置する。書き込み線と磁気抵抗膜が電氣的に接続され、再生時に磁性薄膜素子に流す電流が書き込み線に洩れて再生信号が劣化することを防ぐために書き込み線と磁気抵抗膜との間には絶縁膜が設けられる。

書き込み線と磁気抵抗膜の間隔は、長い場合には十分な磁界を印加することができず、短い場合には、書き込み線と磁気抵抗膜の間で絶縁破壊が生じたりトンネル電流が流れる恐れがあるため少なくとも1nm以上500nm以下で、望ましくは、5nm以上100nm以下とするのがよい。

【0019】

また、メモリ素子をマトリックス状に配置すると、書き込み線近傍の磁気抵抗膜に同様に磁界がかかる。このため、上述したように、ビット線にも電流を流して、交差する磁気抵抗膜のみに大きな合成磁界がかかるようにして、特定のメモリセルを選択する。

【0020】

ここで記録方法に関して図1を用いて更に詳細に説明する。例えば図1において磁気抵抗素子R31の磁化状態を変化させるとすると、まず書き込み線101に矢印の方向に電流を流す。すると、書き込み線近傍にある磁気抵抗素子R11、R21、R31には、上向きの磁界が印加される。磁気抵抗素子R12、R22、R32には、書き込み線101からの距離が離れているため、十分な磁界が印加されない。次にビット線62に矢印の方向に電流を流す。すると、磁気抵抗素子R31、R32には上向きの磁界が印加される。また、磁気抵抗素子R11、R12には、下向きの磁界が印加される。よって、磁気抵抗素子R31にのみ、強い上向きの磁界が印加され、その他の磁気抵抗素子には、十分な磁界が印加されないことになる。よって、磁性層の持つ磁化反転磁界を、書き込み線からの磁界と隣接するビット線からの合成磁界との間に設定しておけば、マトリックス状に配置された多数の磁気抵抗素子の中から、

特定の素子のみの磁化状態を変化させることが可能となる。

【 0 0 2 1 】

なお、書き込み線とビット線に電流を流す順番は、逆でもよく、また書き込み線とビット線に同時に電流を流しても良い。また、上述では、書き込み線101と磁気抵抗素子の距離が、磁気抵抗素子R11に近く、R12に遠い場合について示したが、同じ距離にあっても、例えば、書き込み線101と磁気抵抗素子R12、R22、R32間との間に、磁界を遮断するような物体、例えば、パーマロイなどの軟磁性膜を置いて、書き込み線101から発生する磁界の強さを制御することによって、磁気抵抗素子R12、R22、R32には、十分な磁界が印加されないようにしてもよい。

【 0 0 2 2 】

また、図4に示すように書き込み線と、隣接する1本のビット線と、記録を行なうメモリ素子の上部に接続されたビット線と、に電流を流してメモリ素子の特定を行ない記録を行なってもよい。

【 0 0 2 3 】

従来、書き込み線101を磁気抵抗素子R31の左側にもう一本設けなければ、2本の合成磁界を印加することはできなかったが、本発明においてはデバイス構造を複雑化することなく、2本の導電線による垂直方向の合成磁界を磁気抵抗素子に印加することが可能になる。

【 0 0 2 4 】

また、本発明の垂直磁化膜を用いた磁気抵抗素子では、 $1\mu\text{m}$ 以下に微細化しても、スピncerリングが生じることが無い。このため、本発明の磁気抵抗膜は、幅と長さの比を1とすることができ、幅（＝長さ）を $0.5\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.1\mu\text{m}$ 、 $0.05\mu\text{m}$ と、小さくしても、磁化の保存性が失われることが無い。このため、従来の面内磁化膜を用いた磁気抵抗膜を使ったMRAMと比較して、セル面積を小さくすることが可能となり、集積度を高めることができる。

【 0 0 2 5 】

次に本発明のメモリ素子の再生方法に関して詳細に説明する。ここでは特にスピントネル効果（TMR）を利用した磁気抵抗膜を例にあげて説明するが磁気抵抗効果を発現するものであればこれに限られるものではない。TMRとは、トンネ

ル絶縁膜をソフト層（保磁力が小さい強磁性層）とハード層（保磁力が大きい強磁性層）によって挟み、両層の磁化方向が平行な場合と、反平行の場合で、貫通電流を流した際の抵抗値が異なるという現象を発現する。

【 0 0 2 6 】

一般にMRAMにおいて、情報を読み出す方法としては絶対検出法と差動検出法の2種類がある。まず絶対検出法について説明する。絶対検出法を行う際に用いられる磁気抵抗膜の構成は「メモリ層(第1磁性層)/非磁性層/ピン層(第2磁性層)」であり、第1磁性層を磁化情報が保存されるメモリ層、第2磁性層を保存時、記録時、再生時のいずれの状態でも常に決められた一定の方向に磁化が配向したピン層とする。例えば、“0”、“1”のデータを、第1磁性層の磁化の上向き、下向きにそれぞれ対応させる。情報の記録は書き込み線に流す電流による発生磁界によって第1磁性層の磁化を反転させて行う。こうすれば、“0”のときは抵抗値が小さく、“1”の場合は抵抗値が大きくなるので、再生時は磁性層の磁化反転は行わずに抵抗の絶対値で情報の検出を行うことができる。このため、再生時に抵抗値の変化を検出するための磁化反転を行う必要がなく、高速で、かつ、小さい消費電流で再生を行うことができる。上述の説明では第2磁性層のスピン向きを上向きとしたが、下向きでもよく、また、“0”、“1”のデータを第1磁性層の磁化向きを下向き、上向きに対応させてももちろん良い。

また、第1磁性層、第2磁性層ともに磁性材料としては、前述のRE-TM材料を用いることができるが、ピン層である第2磁性層は、特に保磁力が高いTbFe、TbFeCo、DyFe、DyFeCoなどが望ましい。

第1磁性層の保磁力は低すぎると、メモリ性能が劣化し、高すぎると記録電流を大きくする必要があるので、50e以上で500e以下が望ましい。第2磁性層の保磁力は低すぎると記録再生時に磁化反転する恐れが生じ、高すぎるとスピンを一方向に配向させる初期化作業が困難であるため、200e以上で20k0e以下にすることが望ましい。また、第1磁性層の保磁力は第2磁性層の保磁力の半分程度にすることが望ましい。

次に差動検出法について説明する。差動検出法に用いられるメモリ素子の構成は「検出層(第1磁性層)/非磁性層/メモリ層(第2磁性層)」であり、第2磁

性層は情報が保存されるメモリ層として、第1磁性層は、第2磁性層に保存された情報を、磁気抵抗効果を利用して読み出すために設けられている。“0”、“1”のデータを、第2磁性層の磁化の上向き、下向きにそれぞれ対応させる。記録は記録電流による発生磁界によって第2磁性層の磁化を反転させて行う。

【0027】

読み出しは、書き込み線に記録時よりも弱い電流、もしくは書き込み線を2本設けて1本の書き込み線にのみ電流を流すなどして、記録時よりも小さい磁界を発生させて、メモリ層の磁化は反転させずに検出層の磁化のみを反転させる。これによって、抵抗値が“0”の場合は小から大へ、“1”の場合は大から小に変化するので、抵抗値変化により記録情報を検出することができる。

【0028】

差動検出法は、微分検出法等を用いて微少な信号変化でも検出できるため、検出感度のよい再生を行うことができる。

【0029】

第1磁性層、第2磁性層ともに磁性材料としては、希土類-鉄族合金 (RE-TM) 材料を用いることができるが、どちらの層も記録再生時に磁化反転させるため、より保磁力の低いGdFe、GdFeCoなどが望ましい。第1磁性層の保磁力は低すぎると、再生信号が劣化し、高すぎると再生電流が大きくなるので、20e以上で200e以下が望ましい。第2磁性層の保磁力は低すぎるとメモリ性能が劣化し、高すぎると記録電流が高くなるので、50e以上で500e以下にすることが望ましい。また、第1磁性層の保磁力は第2磁性層の保磁力の半分程度にすることが望ましい。

【0030】

【実施例】

以下、本発明の実施例について具体的に説明する。

(実施例1)

図2に本実施例に用いた本発明のメモリの構造を示す。本実施例においては隣接ビット線のうち、両側のビット線と書き込み線とを用いる。例えば、図2において、磁気抵抗素子R22の磁化状態を変化させる場合について説明する。

隣接のビット線61と63の各々に、矢印で示したように逆方向に電流を流す。する

と、ビット線62の下部に位置する磁気抵抗素子には、上向きの合成磁界が印加される。さらに、書き込み線102にも、矢印で示した向きに電流を流すと、ビット線62の下部に位置する磁気抵抗素子のうち、R22には他の磁気抵抗素子よりも大きな上向きの磁界が印加される。

【0031】

これらの電流の向きを逆にすれば、下向きの磁界を印加することができる。本実施例の磁気抵抗素子には、垂直方向に磁化した磁性膜を用いているため、マトリックス状に配置した多数のメモリ素子のうち、特定のメモリ素子のみの磁化状態を変化させることが可能となる。

【0032】

なお、書き込み線とビット線に電流を流す順番は、逆でもよく、また書き込み線とビット線に同時に電流を流しても良い。

【0033】

また本実施例においては、書き込み線が隣接する磁気抵抗素子の中間にあり、ビット線間隔が一樣であっても、例えば書き込み線102-磁気抵抗素子R22間と書き込み線102-磁気抵抗素子R23間の距離が同じで、ビット線61と62、62と63の間隔が同じであっても、マトリックス状に配置されたメモリセル中の特定の磁気抵抗素子の磁化状態を変化させることができる。よって集積度の高いメモリを実現することができる。

【0034】

以下述べたように本実施例によれば、デバイス構造を複雑化することなく、3本の導電線による垂直方向の合成磁界を磁気抵抗素子に印加することが可能となる。

(実施例2)

図5に本実施例に用いた本発明のメモリの構造例を示す。図5はメモリ素子の下部に電界効果トランジスタを付与した構造の断面図を示したものである。図1、2、3と同様に、記号の記載の無い部分は、基本的に絶縁体部分を示す。半導体基板1には、ドレイン領域3、ソース領域2、ゲート電極4からなるMOS (Metal-Oxide-Semiconductor) -FET (Field Effect Transistor ; 電界効果型トランジス

タ) が形成されている。そして、磁気抵抗素子9は、プラグ電極5を介して、前記電界効果トランジスタのドレイン電極13に接続されている。

【0035】

本実施例によれば、デバイス構造を複雑化することなく、2本もしくは3本の導電線による垂直方向の合成磁界を磁気抵抗素子に印加することが可能になる。多数のメモリセルをマトリックス状に配置して、書き換え速度が速い大容量のメモリを実現するためには、本実施例に示したような、電界効果トランジスタを付与する構造が望ましい。これは、単純マトリックス型では、各磁気抵抗素子にダイオードを設けることが実質的に必要であるが、このダイオードはキャパシタンスの容量成分を持つため、情報再生時に信号の立ち上がりが遅くなるためである。但し、この速度の遅れが許容できる範囲内での使用形態であれば、単純マトリックス型においてもメモリセルの占有面積を小さくすることができ高集積度が達成できる。

(実施例3)

図6に本実施例において用いた本発明のメモリの構造例を示す。図6はメモリ素子の下部に電界効果トランジスタを付与した構造において隣接するメモリセル間においてソース領域を共有化した構造の断面図である。本実施例においては磁気抵抗素子の抵抗値を検出する際に、ビット線の端部に一定電位を印加し、電界効果トランジスタのソースを接地電位とすることによって、磁気抵抗素子の抵抗値に対応した電位が、ビット線のもう片方の端部に出力され、この電位を参照電位と比較することで、検出を行なう。本実施例のようにソース電極を隣接セルとで共有化することによって、ソース電極の本数を減らすことができ構造を簡略化することが可能となる。つまり、本実施例によれば、デバイス構造を複雑化することなく、2本もしくは3本の導電線による垂直方向の合成磁界を磁気抵抗素子に印加することが可能となり、さらに、メモリ素子の下部に電界効果トランジスタを設けた場合においても、ソース電極の本数を少なくすることが可能となる。

(実施例4)

図7に本実施例に用いた本発明のメモリの構造例を示す。本実施例はメモリ素子の下部に電界効果トランジスタを付与し、隣接するメモリセル間において書き

込み線を共有化した構造となっている。半導体基板1には、ドレイン領域3、ソース領域2、ゲート電極4からなるMOS-FETが形成されており、ソース領域2は、隣接の電界効果トランジスタ間で共有化されている。共有化されていない電界効果トランジスタどうしは、シャロートレンチアイソレーション11によって、電氣的に分離されている。

【 0 0 3 6 】

電界効果トランジスタのドレイン領域3には、プラグ電極5を介して、ドレイン領域3の直上の位置に、膜面垂直方向に磁化した磁気抵抗膜9が接続され、さらにビット線6に接続されている。ソース電極12には、図示していないが接地配線が設けられている。また、磁気抵抗膜9の側部に、絶縁体を介して書き込み線10が設けられている。書き込み線10、ゲート線4、ソース電極に接続された接地配線は、紙面の垂直方向に伸びている。ビット線は紙面の平面方向に伸びている。

図8に、図7のメモリ構造を平面図で示す。磁気抵抗膜R11～R16がビット線61に接続されており、同様にR21～R26がビット線62に、R31～R36がビット線63に、R41～R46がビット線64に、R51～R56がビット線65に、R61～R66がビット線66に、接続されている。ビット線、書き込み線はそれぞれ、図2に記載されているものと対応している。また、シャロートレンチアイソレーション領域111、112は図2における書き込み線101、102、103、と平行に配されている。また、ビット線61とビット線62間にもシャロートレンチアイソレーション領域が設けられており、他のビット線間も同様である。

【 0 0 3 7 】

本実施例の記録方法を図8を参照して説明する。例えば図8の点線で囲まれた部分のR33を含むメモリセルに記録を行なうとする。書き込み線102に矢印の方向に電流を流すと、R13～R63に上向きの磁界が、R14～R64には下向きの磁界が印加される。同時に、隣接のビット線62と64に矢印で示すように、互いに逆方向に電流を流す。こうすると、磁気抵抗膜R31～R36には、それぞれのビット線からの上向きの合成磁界が印加される。このため、磁気抵抗膜R33のみに、強い上向きの磁界が印加されることになる。磁界の方向は、電流の方向によって上もしくは下に変更することができ、電流を流す書き込み線を選ぶことによって特定のメモリ

セルのみに、情報の記録を行うことができる。

【 0 0 3 8 】

再生方法に関して図8を参照して更に詳細に説明する。例えば図8において磁気抵抗膜R33を含むメモリセルの読み出しを行うとすると、まず記録時と同様に書き込み線102と隣接のビット線62と64に矢印の方向に電流を流す。そうするとR33には、上向きの磁界が印加される。記録時よりも電流値を小さくすれば、メモリ層の磁化方向はそのまま、検出層の磁化のみを反転させることができる。また、印加磁界の方向は、電流の方向によって上もしくは下に変更することができるので、正負の電流パルスを流せば、検出層の磁化を反転させ、そのときに生じる抵抗の変化をビット線63で検出すれば良い。なお、“0”、“1”のデータを第2磁性層の磁化を下向き、上向きに対応させても良い。

メモリ素子に印加される磁界の大きさは $0.2\mu\text{m}$ の設計ルール of 半導体加工設備を用いて、幅 $0.3\mu\text{m}$ 、厚み $0.4\mu\text{m}$ の書き込み線に、電流 2.4mA （電流密度 $20\text{mA}/\mu\text{m}^2$ ）を流し、幅 $0.2\mu\text{m}$ 、厚み $0.4\mu\text{m}$ のビット線に、電流 0.8mA （電流密度 $10\text{mA}/\mu\text{m}^2$ ）を流した場合に、厚み方向に配線の中心から $0.2\mu\text{m}$ 離れた地点では、磁性膜に約 $150e$ の磁界が印加される。このとき、隣接のメモリセルには、 $100e$ 以下の磁界しか印加されない。

【 0 0 3 9 】

また $0.2\mu\text{m}$ の設計ルール of 半導体加工設備を用いて、 $0.4\mu\text{m}$ 、厚み $0.3\mu\text{m}$ の書き込み線に、電流 2.4mA （電流密度 $20\text{mA}/\mu\text{m}^2$ ）を流し、幅 $0.2\mu\text{m}$ 、厚み $0.2\mu\text{m}$ のビット線に、電流 0.8mA （電流密度 $20\text{mA}/\mu\text{m}^2$ ）を流すと、磁界発生点までの距離が書き込み線の中心から $0.35\mu\text{m}$ 、ビット線の中心からの距離が $0.10\mu\text{m}$ の地点では、 $130e$ 印加される、周囲のメモリセルでは、平均 $80e$ 以下の磁界しか印加されない。

【 0 0 4 0 】

本実施例の構造においては、書き込み線を隣接する左右のメモリセルで共有化して簡略化した構造にしても、その他の書き込み線を新たに設ける必要が無いので、デバイス構造を簡単にすることができる。また、3本の導電線を用いて、メモリ素子に垂直方向の磁界を印加するので、大きな磁界を印加することができる。

ので、情報の保存性を向上させるためにメモリ素子に保磁力の大きなものを選択する際にも情報の書き込みを行なうことができる。

(実施例 5)

図9に、本実施例に用いた本発明のメモリの構造例を示す。本実施例は電界効果トランジスタを付与した本発明のメモリにおいて書き込み線が接地電極と一体化している構造となっている。書き込み線10は、電界効果トランジスタのソース領域に接続された接地電極12と接続されて一体化されている。書き込み線10は、紙面垂直方向に伸びており、端部には電界効果トランジスタなどのスイッチング素子が接続されており、接地電位もしくは電流源のどちらかに接続されるようになっている。このうち電流源は、書き込みに必要な電流を流すことが可能な電流源である。そして、読み出し動作を行う場合は、接地電位として、書き込み動作を行う場合は、電流源に接続する。

【 0 0 4 1 】

この構造では、書き込み線を接地配線と共通化しているため、書き込み線を新たに配置する必要が無い。このため、デバイス構造が簡略化できる。

(実施例 6)

図10に本実施例に用いた本発明のメモリの構造例を示す。本実施例においてはメモリ素子の下部に電界効果トランジスタを付与した構造においてドレイン電極を自己整合的に形成した構造を示している。図1のデバイス構造においては、ドレイン領域3にプラグ電極5を立てるときに、位置合わせ時のずれがF（最小加工寸法）あるとすると、3Fの幅を取る必要があり、ドレイン領域3の面積は、 $9 \times (F \text{ の自乗})$ が必要となる。これに対して、本実施例のデバイス構造においては、ドレイン電極13が自己整合的に形成されているため位置合わせマージンが不要で、ドレイン領域3とドレイン電極13との位置あわせマージンを、原理的に0にでき、ドレイン領域3の面積を $1 \times (F \text{ の自乗})$ にすることができる。したがって、本実施例のメモリにおいては、ドレイン領域の面積中、ドレイン電極が閉める面積の割合を少なくとも50%以上となり、メモリ素子の面積を小さくすることができ、よりセル面積を小さくすることが可能となる。更にメモリの小型化するためには面積比は、60%以上が望ましく、さらに望ましくは80～90%以上に

するとよい。

【 0 0 4 2 】

【発明の効果】

本発明のメモリおよび記録再生方法を用いれば、簡素化されたデバイス構造で高集積なメモリを実現することができる。

【図面の簡単な説明】

【図 1】

本発明のメモリのデバイス構造の一例を示す図

【図 2】

本発明のメモリのデバイス構造の一例を示す図

【図 3】

本発明のメモリのデバイス構造の一例を示す図

【図 4】

本発明のメモリのデバイス構造の一例を示す図

【図 5】

本発明のメモリの一例の断面図

【図 6】

本発明のメモリの一例の断面図

【図 7】

本発明のメモリの一例の断面図

【図 8】

本発明のメモリの一例の平面図

【図 9】

本発明のメモリ素子の一例の断面図

【図 1 0】

本発明のメモリ素子の一例の断面図

【図 1 1】

従来のメモリ素子の断面図

【図 1 2】

従来のメモリ素子の平面図

【図13】

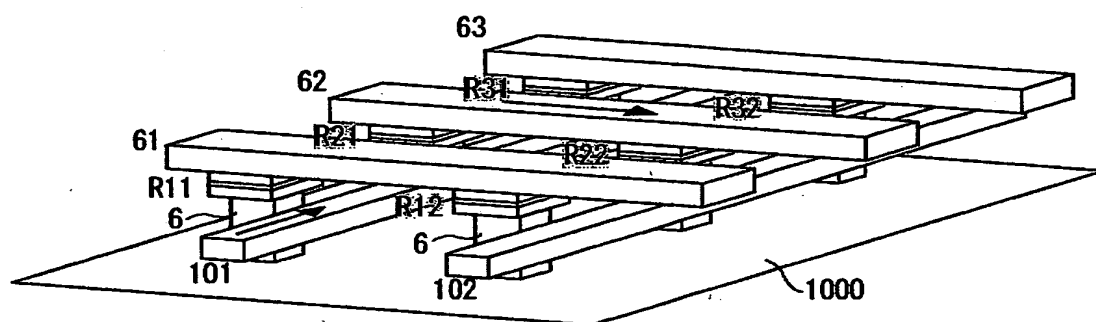
従来の垂直磁化膜を用いたメモリの図

【符号の説明】

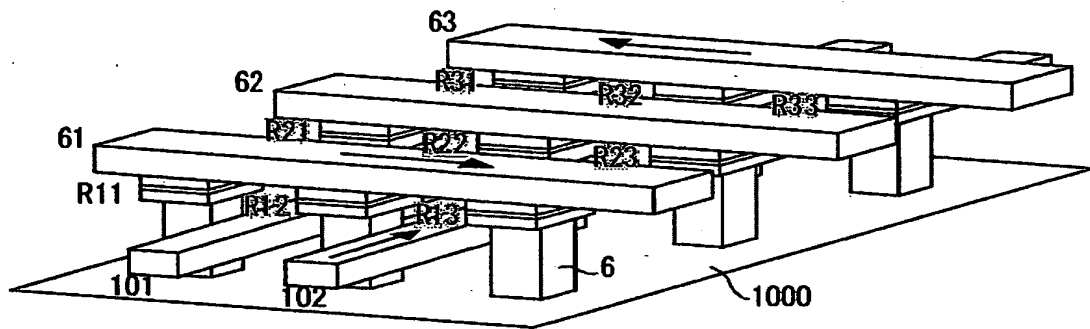
- 1 半導体基板
- 2 ソース
- 3 ドレイン
- 4 ゲート電極
- 5 プラグ
- 6 ビット線
- 7 プラグ
- 8 ワード線
- 9 磁気抵抗素子
- 10 書き込み線
- 11 シャロートレンチアイソレーション領域
- 12 ソース電極
- 13 ドレイン電極
- R11～R66 磁気抵抗素子
- 101、102、103 書き込み線
- 111、112 シャロートレンチアイソレーション領域
- 61～66 ビット線
- 1000 基板

【書類名】 図面

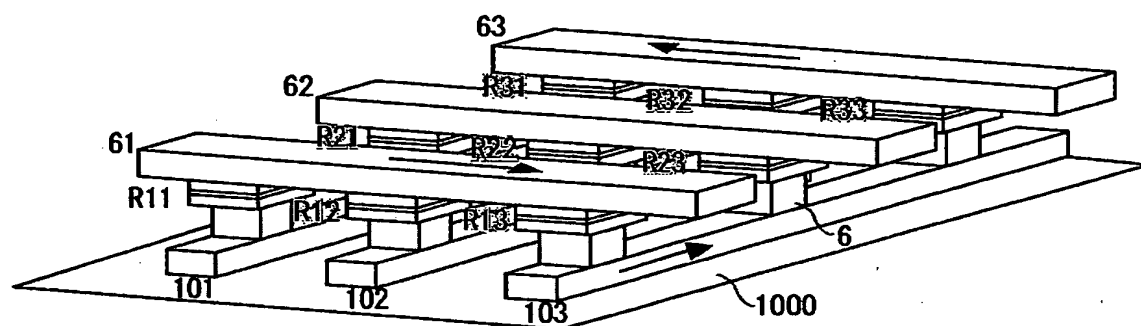
【図 1】



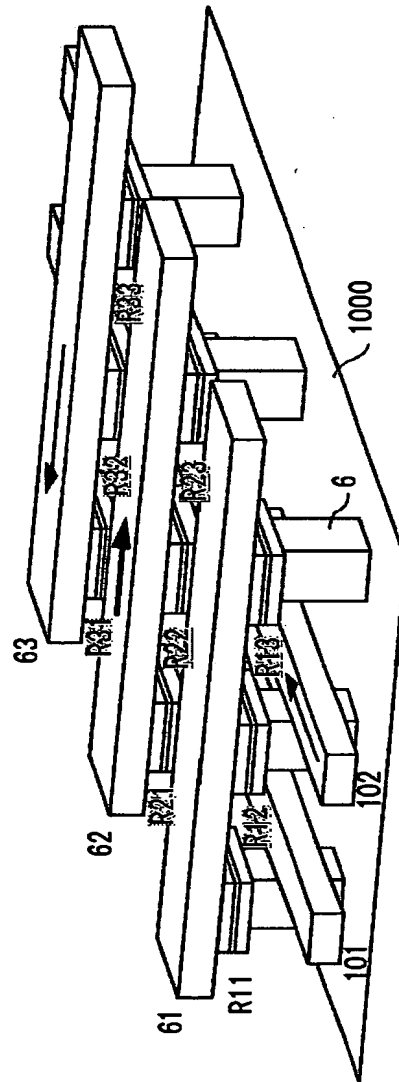
【図 2】



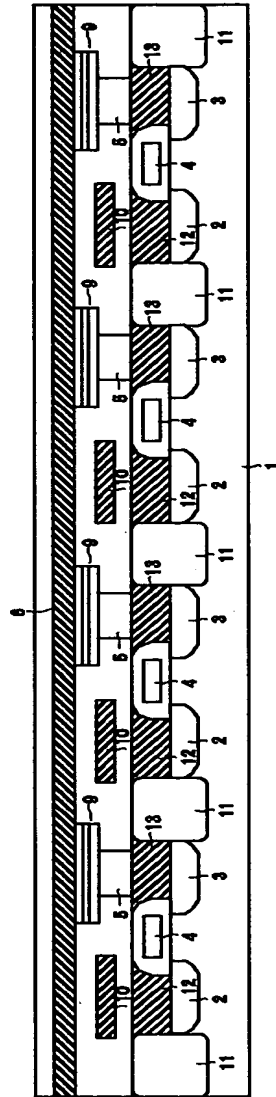
【図 3】



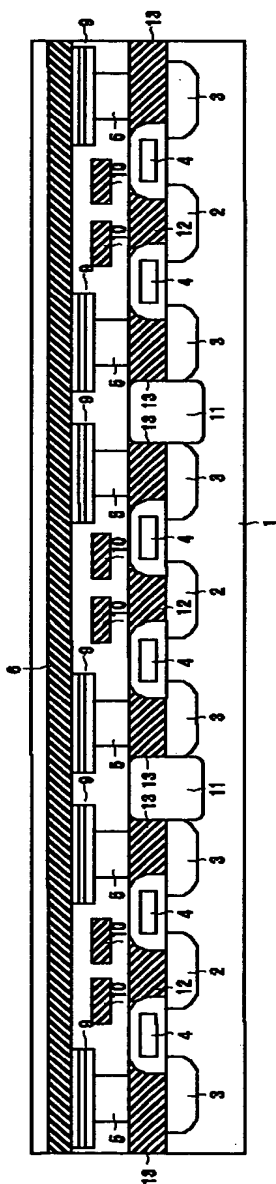
【図 4】



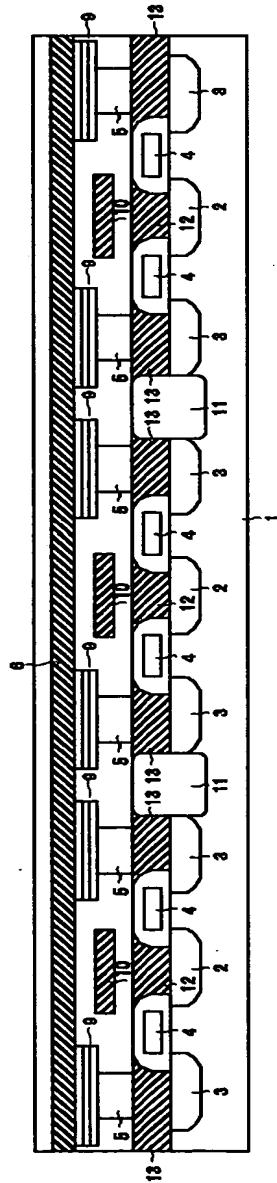
【図 5】



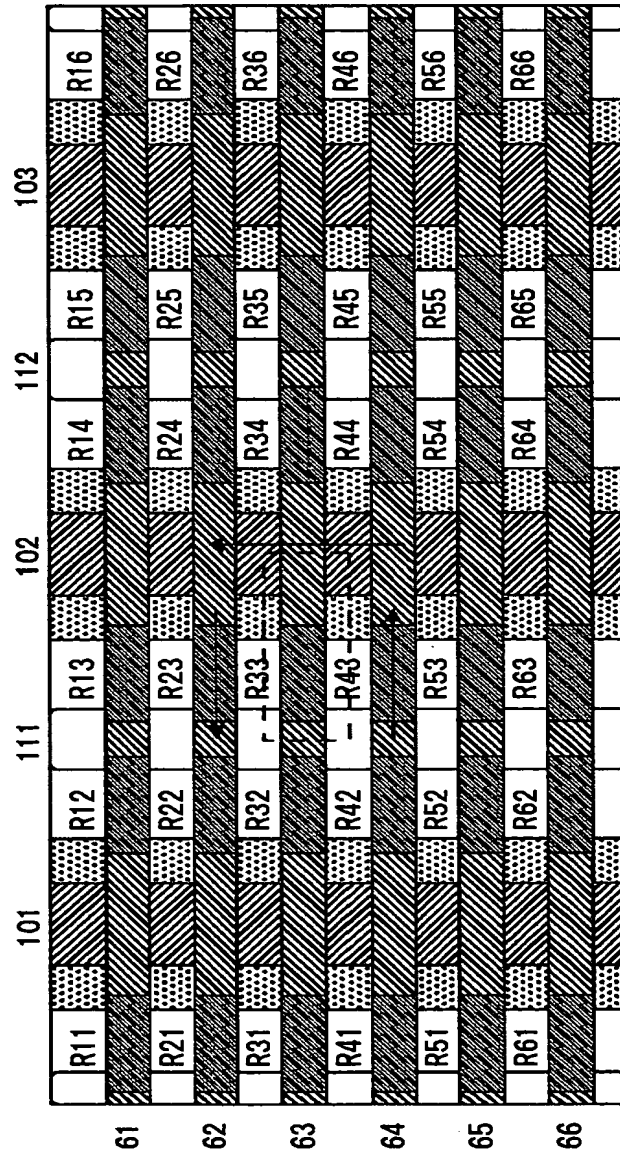
【図6】



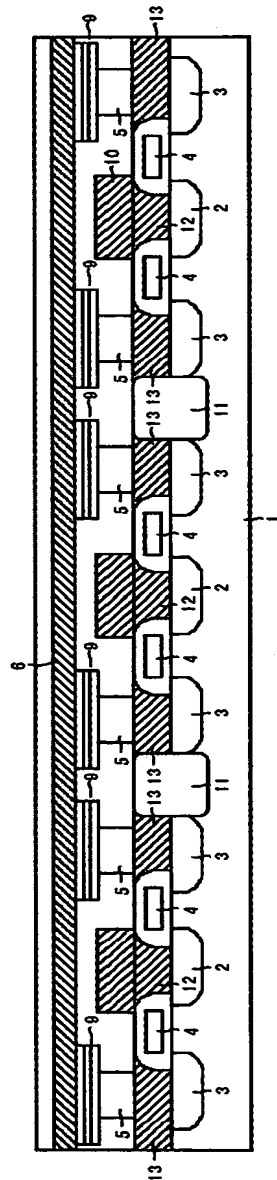
【図 7】



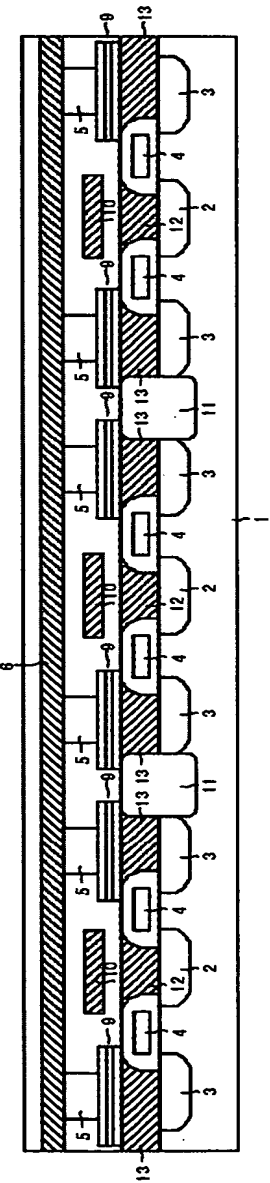
【図 8】



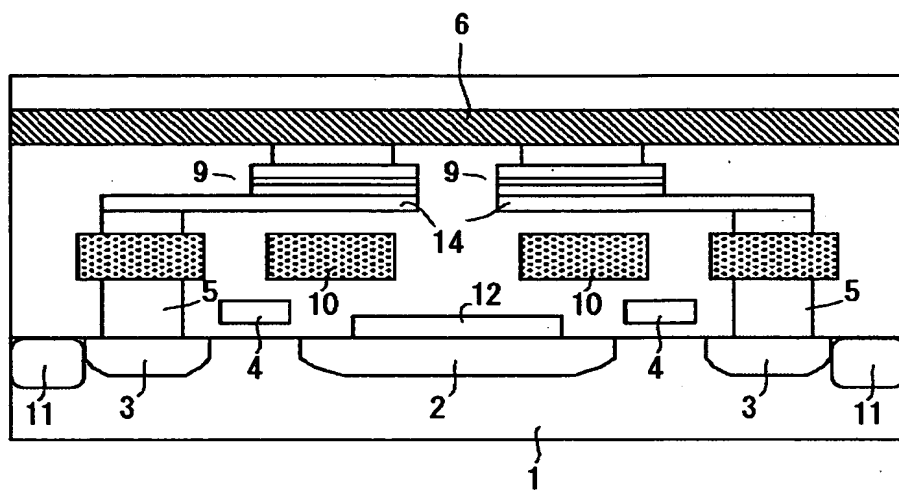
【図9】



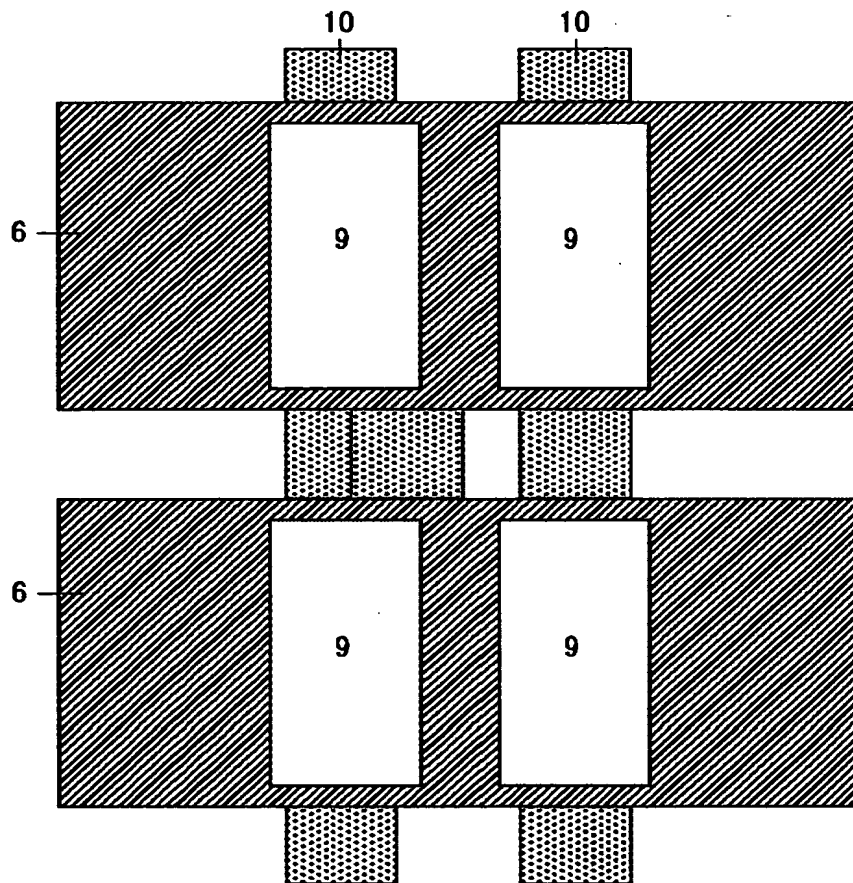
【図 1 0】



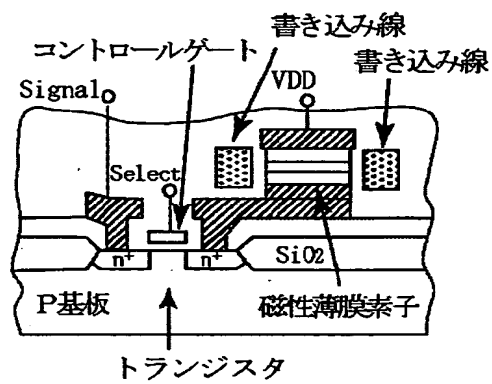
【図 1 1】



【図 1 2】



【図13】



【書類名】 要約書

【要約】

【課題】 書き込み線の本数を減らして簡素化したデバイス構造を実現し、同時に集積度を向上することを目的とする。

【解決手段】 磁気抵抗素子とビット線と、書き込み線と電界効果トランジスタからなるセルがマトリックス状に基板上に形成されており、隣接のメモリ素子に接続されているビット線を用いて記録再生を行なうことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キャノン株式会社